ГУАП

КАФЕДРА № 44

ОТЧЕТ  
ЗАЩИЩЕН С ОЦЕНКОЙ

ПРЕПОДАВАТЕЛЬ

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| канд. тех. наук, доцент |  |  |  | В. А. Ненашев |
| должность, уч. степень, звание |  | подпись, дата |  | инициалы, фамилия |

|  |
| --- |
| ОТЧЕТ О ЛАБОРАТОРНОЙ РАБОТЕ №3 |
| СИНХРОННАЯ ЛОГИКА |
| по курсу: СХЕМОТЕХНИКА |
|  |
|  |

РАБОТУ ВЫПОЛНИЛ

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| СТУДЕНТ ГР. № | 4941 |  |  |  | Н.С. Горбунов |
|  |  |  | подпись, дата |  | инициалы, фамилия |

Санкт-Петербург 2021

1. **Цель работы**

В данной лабораторной работе требуется разработать последовательную схему, и провести моделирование в среде симулятора Modelsim Lattice FPGA.

1. **Постановка задачи**

Реализовать модуль, выполняющий синхронную логику в файле с исходным текстом, задать собственное имя модуля и названия портов, в соответствии с заданием.

Реализовать тест, позволяющий убедиться в правильности функционирования разработанного модуля, сделать скриншоты результатов симуляции. Для подтверждения корректности, необходимо подавать различные варианты тестовых воздействий на входы модуля, и наблюдать получившиеся значения на выходах.

1. **Вариант 7**

|  |  |
| --- | --- |
| № в списке | Задание, реализовать последовательную логику |
| 7 | Устройство, увеличивающее длительность входных импульсов. Если входные импульсы менее 80 нс, дополнять их до длительности 80 нс на выходе |

1. **Маршрут проектирования**

Текст модуля представлен ниже:

module simple\_pulse(  
input in\_pin,  
input clock,  
input reset,  
output reg out\_pin);  
reg [6:0] pulse\_max\_width;  
reg prev\_pin;  
reg flag;  
reg [6:0] last\_tackts;  
always @(posedge clock) begin  
if (reset) begin  
pulse\_max\_width <= 0;  
prev\_pin <= 0;  
flag <= 0;  
last\_tackts <= 0;  
out\_pin <= 0;  
end else begin  
if (flag) begin  
if (last\_tackts == 1) begin  
out\_pin <= 0;  
flag <= 0;  
end else begin  
out\_pin <= 1;  
last\_tackts <= last\_tackts - 1;  
end  
end else begin  
prev\_pin <= in\_pin;  
if (prev\_pin & !in\_pin) begin  
if (pulse\_max\_width <= 8) begin  
flag <= 1;  
last\_tackts <= 8 - pulse\_max\_width;  
end else begin  
out\_pin <= 0;  
end  
end else if (in\_pin) begin  
pulse\_max\_width <= pulse\_max\_width + 1;  
out\_pin <=1;  
end  
end  
end  
end  
endmodule

Текст теста представлен ниже:

`timescale 1ns / 1ps  
module test;  
reg t\_in\_pin;  
reg t\_clock;  
reg t\_reset;  
  
wire t\_out\_pin;  
  
simple\_pulse uut(  
.in\_pin(t\_in\_pin),  
.clock(t\_clock),  
.reset(t\_reset),  
.out\_pin(t\_out\_pin)  
);  
initial t\_clock = 0;  
initial forever #5 t\_clock <= !t\_clock;  
initial begin  
t\_reset = 1;  
#20;  
t\_reset = 0;  
t\_in\_pin = 1;  
#50;  
t\_in\_pin = 0;  
#100  
t\_reset = 1;  
#20  
t\_reset = 0;  
t\_in\_pin = 1;  
#100;  
t\_in\_pin = 0;  
end  
endmodule

Результаты симуляции можно изучать при помощи курсора, управляемого указателем мыши, а также с использованием масштабирования.

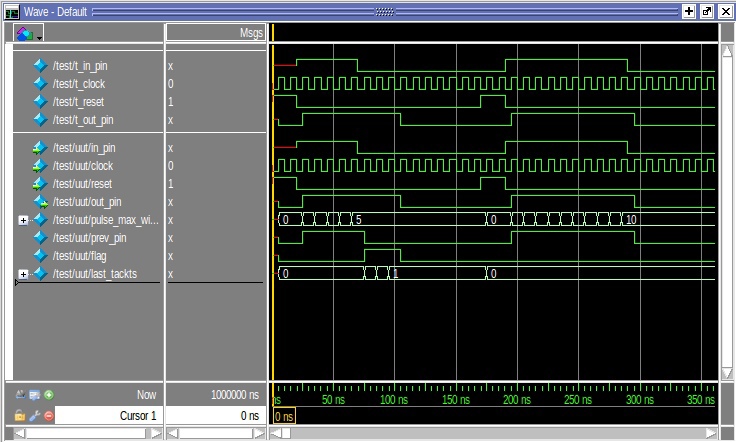


Рисунок 1 – Результат симуляции

1. **Вывод:**

В ходе лабораторной работы был рассмотрен процесс создания и моделирования синхронных схем в среде симулятора Model Sim Lattice FPGA. Была создана и успешно протестирована синхронная схема устройства, увеличивающего длительность входных импульсов до 80 нс, если они меньше.